

超 L S I 多層配線用平坦化絶縁膜

日本大学工学部 情報工学科 菅 原 活 郎

Dielectrics Applied for VLSI Planarized Multilevel Metallization

Katsiro Sugawara

Department of Computer Science College of Engineering, Nihon University

Abstract

In VLSI fabrication processes, microlithography and multilevel metallization have been remarkably developed to increase integration and function especially speed of VLSI. In addition to these tendencies, memory cell structures have been changed from a planar type to a 3 dimensional type such as a stacked capacitor. As a result, a planarized multilevel metallization of the fine patterning including the 3 dimensional memory cell has been becoming more important. Integrated planarized metallization, therefore, has been investigated for the substrate, metallization and interlayer dielectrics. For the purpose of the planarized dielectrics, SOG(spin-on-glass) and TEOS(tetraethoxysilane) oxide have been strongly developed and improved. From the point of "global planarization," CMP(chemical mechanical polishing) has been used although there are problems different from conventional semiconductor processes. In relation to the CMP technology, a second look has been taken at ECR(electron cyclotron resonance)SiO₂. The best choice of interlayer dielectrics and multilevel metallization applicable for the next generation VLSI should be determined by the keen insight.

* VLSI:Very Large Scale Integration

1. 超 L S I の進展と多層配線技術

システムの高性能化は図1¹⁾に示されるように超 L S I が鍵を握っていると言っても過言でなかろう。メモリの例では、研究開発段階で4倍／3年の高集積化が、依然として続けられている。ただし研究開発から量産に至る期間は、さらに技術的な難しさが加わるため、世代ごとに延びてきている。このような動向の中、超 L S I プロセス技術として多層化技術が微細加工技術とともに大きな役割を果たしてきている

(図2)。高集積化はMooreの法則²⁾に従って推進されてきた(図3)。図では、三要因により実現されてきたと説明している。多層化・立体化技術はデバイスと回路の工夫の中に入り、高集積化、高機能化(特に高速化)に寄与してきた。メモリの中で、最も高集積化の著しいDRAM(Dynamic Random Access Memory)で配線技術の展開がどのように進み、今後どうなっていくかを、総配線長、最小線幅、最大電流、密度面を表したのが図4³⁾である。どの面を取っても、非常にシビアな展開となってきたことが理解されよう。一方、横方向の微細化が進展

〒963 福島県郡山市田村町徳定字中河原1
TEL 0249-44-1300

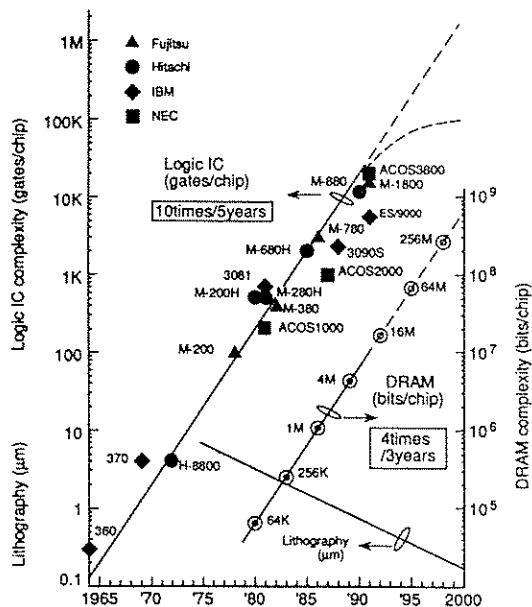


図1 超LSI(メモリ、論理デバイス)の進展¹⁾
Fig. 1 Evolution of VLSI, memory and logic devices¹⁾.

*DRAM:Dynamic Random Access Memory.

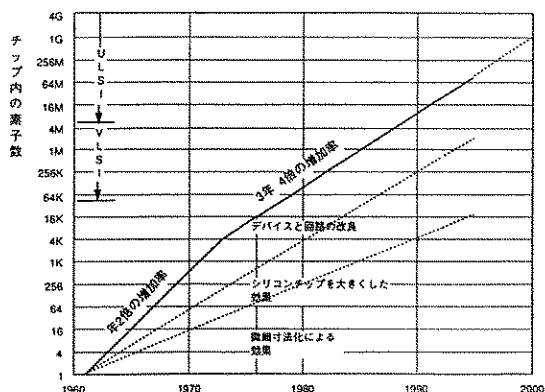


図3 メモリ高集積化の動向とその要因²⁾
Fig. 3 Evolution of MOS memory high integration and its supporting key factors²⁾.
*MOS: Metal Oxide Semiconductor.

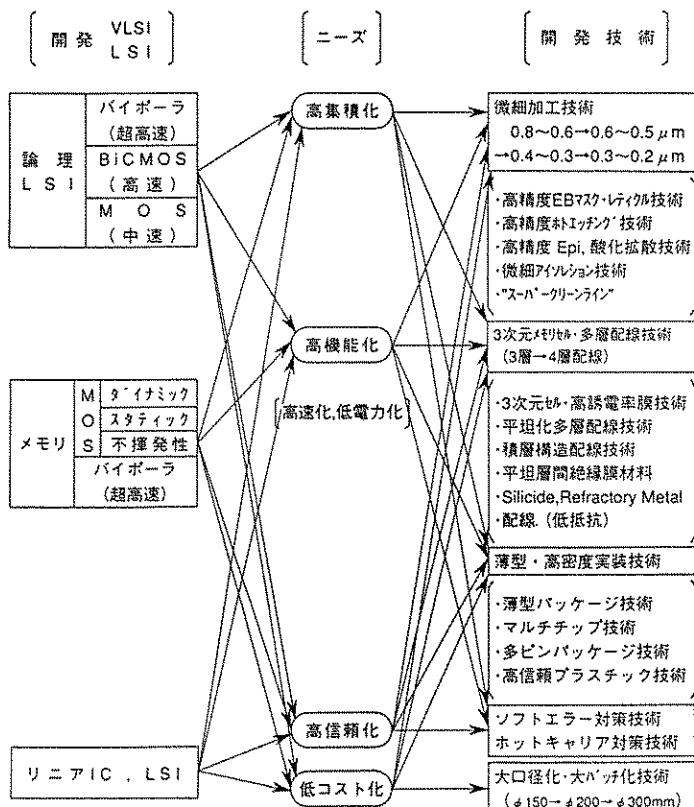


図2 超LSIからのニーズと要開発技術
Fig. 2 Device and technology to be developed.

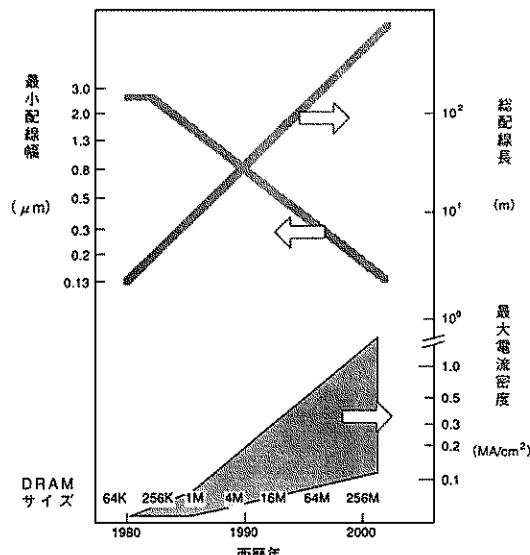


図4 超LSI 金属配線の進展³⁾—DRAMの例—
Fig.4 Evolution of VLSI metallization shown in the case of DRAM³⁾

する。図5⁴⁾は微細加工技術の著しい進展（加工寸法、要求精度）を表している。なお、図6は各世代毎のDRAMで同じ場所の金属配線を同一倍率で撮影したSEM写真である⁵⁾。進展状況が一目瞭然判別できる。その上に、縦方向の多層化が進む。その際、多層配線段差部カバレジが悪くなり、薄膜化は実現できないため、段差はますます拡大し、平坦化技術がとりわけ重要となる。

2. 多層配線平坦化のコンセプト

Siチップ中央部で主として問題となる高アスペクト比部の「局所的」な平坦化（Local Planarization）、周辺または配線密度の粗部分で問題となる「全面的」な平坦化（Global Planarization）にターゲットを分けた対応が必

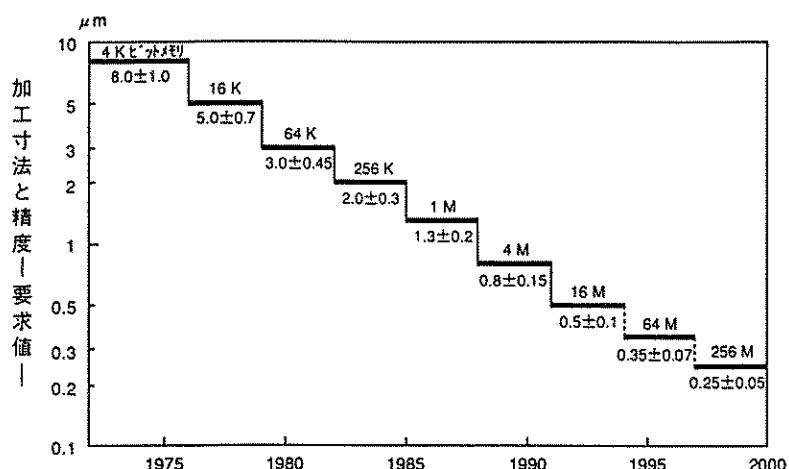


図5 微細加工技術の進展⁴⁾—加工寸法と要求精度—
Fig.5 Evolution of microlithography to show feature size and required accuracy⁴⁾.

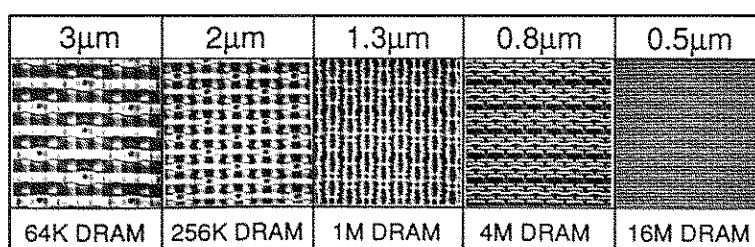


図6 超LSI 微細加工技術の進展を示すメモリのパターン写真⁵⁾
—各世代メモリ金属配線の同じ場所を同一倍率でSEM撮影—
Fig.6 Patterns of five generation MOS memory observed by SEM⁵⁾
These pictures show the same region of the first layer metallization.
*SEM:Scanning Electron Microscope.

要となる⁵⁾。前者はメモリ、後者はマイコンなどの論理デバイスで特に問題となる内容である。

図7⁶⁾は、メモリを例に立体化・多層化動向と主要課題を纏めたものである。特に上に述べた多層配線の他、立体化せざるをえないメモリセルが段差を増大させている。メガビット用DRAMメモリセルは微細化しても一定のキャパシタ容量を保持する必要があり、集積度が進むとともに平面型から実効的な面積を増大できる積層型(STC)、トレンチ型に変えざるを得なかつた。図8には相互の比較を示している⁷⁾。また、図9はDRAMメモリセルの変遷と今後候補となる構造を示したものである⁸⁾。このように平面型メモリセル構造から離れることは、段差が増大することであり、その上に形成される多層配線平坦化をさらに困難なものにすることになる。

このように立体的なメモリセルまで含め、多層配線平坦化には組織的な対応が必要である。

- (1) メタル配線下の平坦化 : BPSG(Boronophosphosilicate Glass)Glass Flowなど
- (2) 層間絶縁膜の平坦化 : 塗布ガラス法、バイアスパッタ法・ECR(Electron Cyclotron

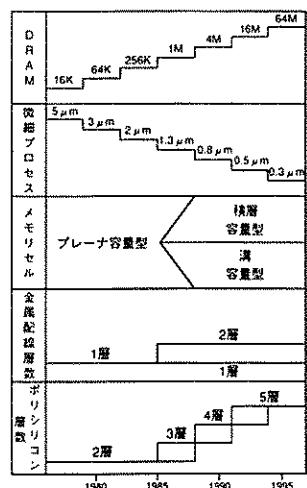


図7 MOSメモリの立体化・多層化の進展状況と主要課題⁶⁾

Fig.7 Evolution of MOS memory multilevel metallization and memory cell and their essential problems⁶⁾.

Memory Cell	Manufacturing	Cell Structure	Technology Problem
Planar Capacitor Cell	Easy ↓ Rather Difficult ↓ Difficult	Word Line Bit Line Capacitor MOS Substrate	• Very Thin Dielectric Film • High Dielectric Film
Stacked Capacitor Cell		Word Line Bit Line Capacitor MOS Sub.	• Large Steps • Thin Dielectric Film
Trench Capacitor Cell		Word Line Bit Line Capacitor MOS Sub. Sub.	• Micro-Trench (Sub-micron) • Isolation between Trenches • Capacitor in Trench

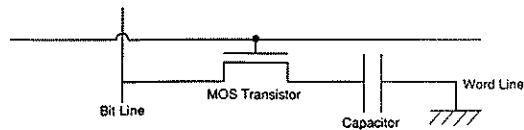


図8 メガビット用DRAMメモリセル⁷⁾

Fig.8 Structures of MOS memory cell designed for megabit DRAM⁷⁾

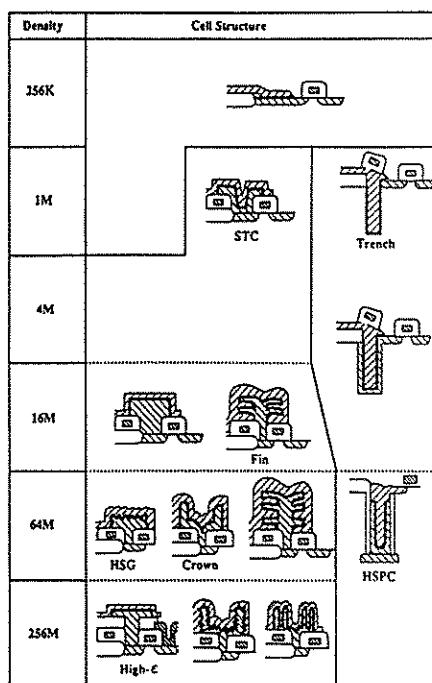


図9 DRAMメモリセル構造の進展⁸⁾

Fig.9 Evolution of MOS memory cell structure⁸⁾

Resonance) CVD法、TEOS(Tetraethoxysilane)
酸化膜の適用など

(3) 「全面的」な平坦化 : CMP(Chemical
Mechanical Polishing)法の適用

(4) メタルの平坦化 : PVD(Physical Vapor
Deposition) 法でのステップカバレッジの向上、
選択CVD(Chemical Vapor Deposition)法の適
用など。

絶縁膜に関しては、高絶縁性などの電気的特性、
耐クラック性などの機械的特性の他、段差の平
坦性が、前述の理由により特に要求される。また、最近は超LSI の高速性を向上させるため、
配線容量の低減も問題とされて、低誘電率膜が
注目され、積極的な研究が行われている。

これら多層配線の平坦化に対して、前に強調
したように組織的な対応が要求されている（図
10³¹）。具体的な内容を次の 3 項目について概
観しよう。

(1) メタル配線下の平坦化 : Poly Si とAl配線
間の絶縁膜には、BPSG(Borophosphosilicate

3. 多層配線用平坦化絶縁膜

本題に入る前に、超LSI 用薄膜に要求される
特性（表1³¹）に調べてみよう。この中で層間

表1 超LSI 用薄膜に要求される特性³¹
Table 1 Properties required for VLSI thin film³¹.

	デバイス特性	高集積化・高機能化	高信頼化
パッシベーション膜	1. 低温形成 (Al電極上形成) 2. ホットエレクトロン 対策(膜中の水素等) 3. 膜電荷密度 小 4. 高絶縁性 (絶縁耐圧リーケ) 5. 誘電率 小 (配線用容量)		1. 機械強度 大 (傷、モールドク ラック) 2. 接着性 良好 (腰/Al.膜/膜) 3. 段差被覆性 良好 4. 耐熱性 良好 (熱の安定性、熱 処理) クラック 小 5. 透水性 小 化学的安定性 良好 6. 汚染プロック性 良好
層間絶縁膜		1. 段差の平坦性 2. 膜ストレス	
ゲート電極用被膜	1. 低抵抗化 (特に段差部) 2. 汚染量 小	1. 薄膜形成 容易 2. ohmic contact 3. 耐薬品性 大 4. ステップカバレッジ 5. 膜ストレス	1. SiO ₂ 膜との接着性 2. 基板との反応性
ゲート絶縁膜 キャパシタ用絶縁膜	1. 膜電荷、界面電荷密 度 2. 界面準位、トラップ 密度 小 3. 絶縁膜容量 (誘電率、膜厚)	1. self align性	1. Q _c 、トラップ 密度 小 2. 可動イオン密度 小 (BT安定性)
共通	1. 膜生成時、特性への 影響 小 (プラズマダメージ 等)	1. 量産性 (スループッ ト、コスト) 2. 微細加工性 良好	1. 欠陥密度 (ピンボ ール、突起、異物、 クラック) 小

Fig. 10 Problems of memory cell dielectrics and multilevel interconnection technology⁷⁾

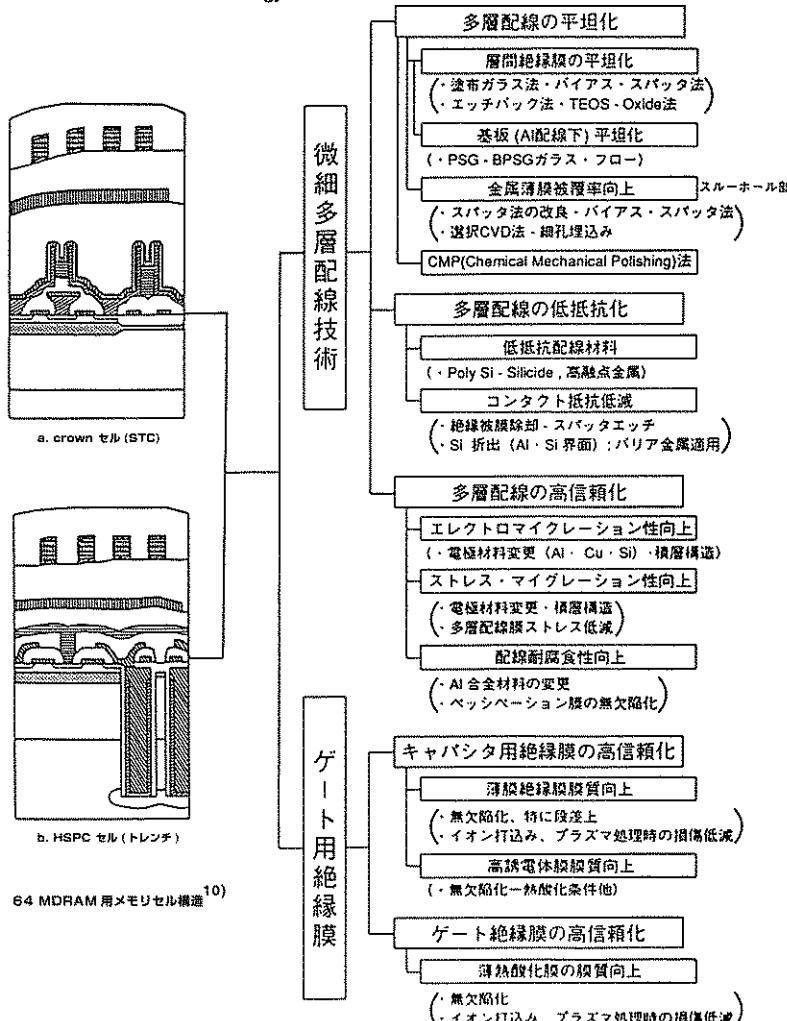


図10 微細多層配線・メモリセル用絶縁膜の課題⁷⁾

Fig. 10 Problems of memory cell dielectrics and multilevel interconnection technology⁷⁾

Glass)Glass Flowが適用されている。PolySi 上のBPSG膜を熱処理 ($\sim 900^{\circ}\text{C}$) で軟化・流動させ、なだらかな段差形状を得ることができる。BPSG膜は、 $\text{SiH}_4\text{-PH}_3\text{-B}_2\text{H}_6\text{-O}_2$ 系の無機ソースを用いる方法の他、 $\text{Si}(\text{OC}_2\text{H}_5)_4\text{-PO}(\text{OCH}_3)_3\text{-B}(\text{OCH}_3)_3\text{-O}_3$ 系TEOS有機ソースを使用する方法も実製品に適用されてきている。段差部のステップカバレジが非常に良好になるためである。

(2) 層間絶縁膜の平坦化：主要な膜は次の通り

である。

- ・塗布ガラス(SOG:Spin on Glass)法：従来から広範囲に使用してきたが、従来からの無機SOG、および、後から開発された有機SOGに著しい改良が加えられてきている
- ・TEOS-O_x酸化膜：従来と違った平坦化機構により酸化膜が形成される
- ・ECR CVD法：後述のCMPとの関係で見直しが行われている
- ・バイアススパッタ法の適用などが行われて

いる。

前の3生成法に関しては、本稿で説明されるので、詳細は参照願いたい。

(3) 「全面的」な平坦化：CMP(Chemical Mechanical Polishing)法の適用。従来からSi鏡面ウエーハ研磨に利用されていた方法であるが、米国が先鞭をつけて、強力に推進され、実デバイスに適用されてきている。ウエーハの大口径化にともない、均一性、平坦性の両立する条件を設定しなければならないが、Global Planarizationには、有効な方法である。

サブミクロン・プロセスで使用されている主要な絶縁膜形成技術、特に要求されるニーズ、用いられる生成装置を表2¹¹⁾に纏めて記載している。表中、P-CVDはプラズマCVDを表している。

4. 超LSI 多層配線の実例

実デバイスに適合するためには総合的なプロセス・フローを確立することが重要である。当然、電気的特性、歩留、信頼度、コストが検討されて材料とプロセスが選定される。

図11は4MビットDRAM(日立)断面構造(積

表2 サブミクロン・プロセス用絶縁膜形成技術と装置¹¹⁾

Table 2 Formation technology and equipment used for submicron VLSI dielectrics 11).

区分	特に要求されるニーズ		薄膜 形成装置	
	サブミクロン技術用絶縁膜			
パッセーション膜	ストレス低減 薄膜誘電率低減		①P-CVD装置 ②常圧CVD装置 ③回転塗布装置	
	有機薄膜(ポリイミドなど) P-SiN、もしくはP-SiON/P-TEOS酸化膜、 もしくはTEOS-O ₃ 膜			
層間絶縁膜	平坦化(カバレッジ)向上 ストレス低減		①P-CVD装置 ②常圧CVD装置 ③回転塗布装置	
	P-SiO もしくは P-TEOS 酸化膜 もしくは TEOS酸化膜 (O ₃)膜	SOG もしくは TEOS-O ₃ 膜 (エッチ バック)		
第1層絶縁膜	メモリセル:膜質向上 容量増大(誘電率増大)		①常圧CVD装置 ②低圧CVD装置 ③P-CVD装置他	
	ガラスフローPSG, BPSG			
	メモリセル用	熱SiO ₂ →SiO ₂ Si ₃ N ₄ , Ta ₂ O ₅ , SrTiO ₃ , PZT他		
	LOCOS用	Si ₃ N ₄		

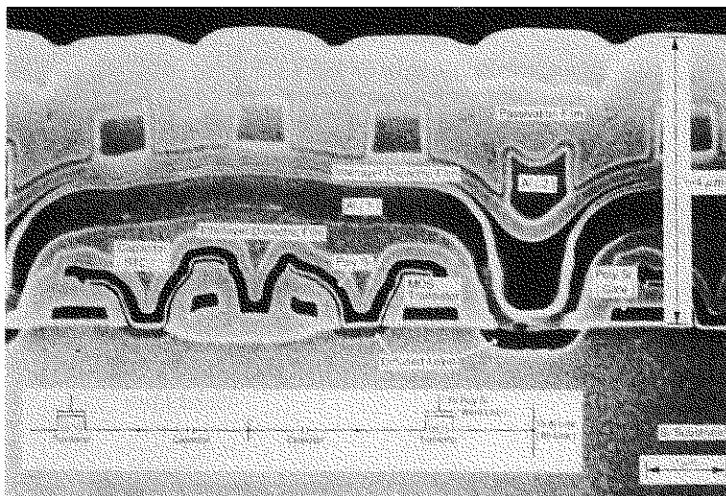


図11 4MビットDRAM(0.8μmプロセス)のSEM断面写真
Fig. 11 Cross section of Hitachi 4Mbit DRAM(0.8μm process)
observed by SEM.

層型を使用)、図12は16MビットDRAM(日立)の断面構造(1.5枚フィンを使用した積層型)¹²⁾の走査型電子顕微鏡写真、図13は64MビットのDRAM(日立)の断面構造(2.5枚のフィンを使用した積層型)¹²⁾、図14は256MビットDRAMを対

象とした構造(日立中研発表:積層型メモリセル部の段差を軽減するRSTC:Recessed Stacked Capacitor Cell構造¹³⁾)である。なお、平坦

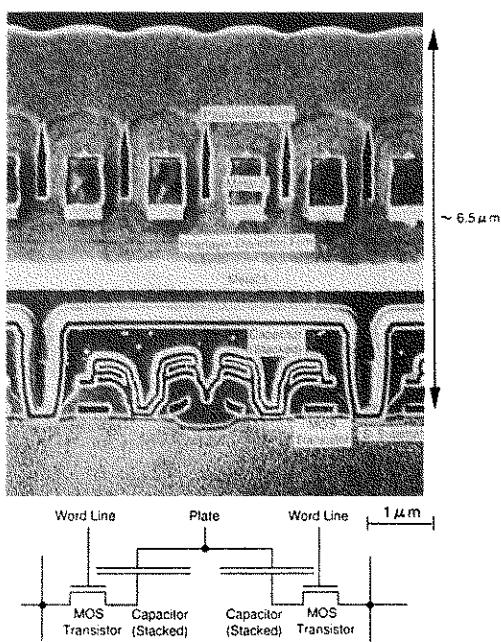


図12 16MビットDRAM(0.5 μmプロセス)のSEM断面写真¹²⁾

Fig. 12 Cross section of Hitachi 16Mbit DRAM (0.5 μm process) observed by SEM¹²⁾.

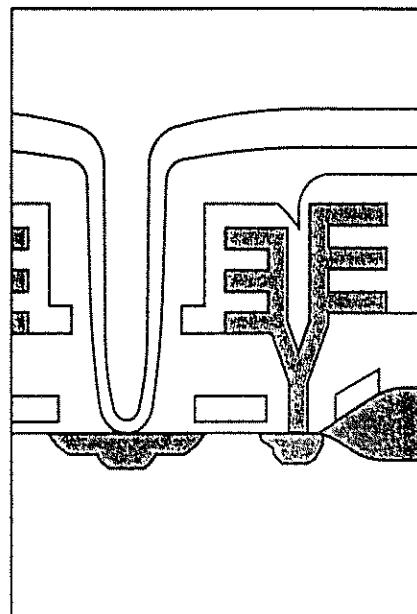


図13 64MビットDRAM (0.35 μmプロセス)の断面¹²⁾

Fig. 13 Cross section of Hitachi 64Mbit DRAM(0.35 μm process)¹²⁾.

Principle of RSTC*

*** Recessed Stacked Capacitor Cell**

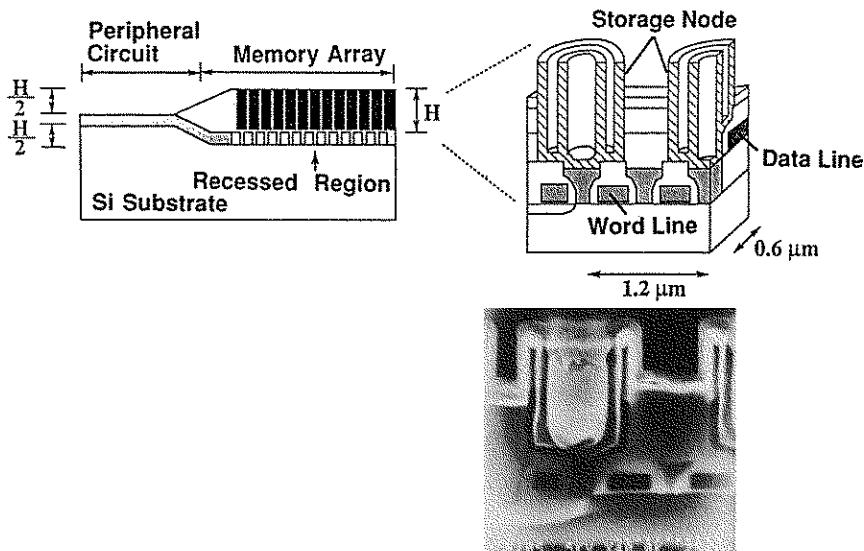


図14 256MビットDRAM (0.25 μm プロセス) のメモリセル構造とSEM断面写真¹³⁾

Fig. 14 Memory cell and cross section of 256Mbit DRAM (0.25 μm process)¹³⁾.

化膜にはSOG膜中に使用されている¹²⁾。高集積化が進展するにつれセル構造も複雑になり、段差も拡大している様子が観察される。

総合的に検討されて、適用された前述以外の例を以下に示す。図15は多層化の著しいバイポーラLSI Al 3層配線構造（日立デバイス開発センター）のSEM写真¹⁴⁾である。また、新SOG材料とエッチバックを用いた平坦構造を4層配線の実デバイスへ応用した例⁵⁾が最近、発表された。特に全面的平坦化を狙ったものである。

5. 多層配線平坦化技術の課題

以上の最近の状況と次世代のクオータミクロンデバイスからのニーズを踏まえ、

(1) 層間絶縁膜 :

- ・メタル配線下基板の平坦化用材料と条件
- ・層間絶縁膜材料・条件・膜質・生成装置
(特に局所的平坦化と全面的平坦化実現

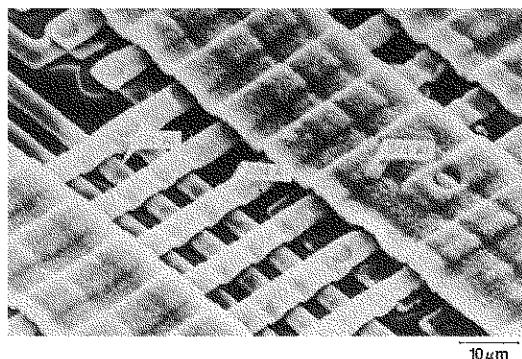


図15 バイポーラLSI Al 3層配線構造のSEM写真¹⁴⁾

Fig. 15 Al 3 layer metallization of bipolar high speed LSI observed by SEM¹⁴⁾.

のための)

- (2) CMP:
 - ・量産適用性（装置設置環境問題も含む）
 - ・膜材料との関係
 - ・装置
 - ・日米の差違

- (3) 共通課題 :
- ・大口径化（図16⁴⁾）への対応
 - ・多層化に起因する応力問題¹⁵⁾
 - ・コスト
- に対応できる最適な材料、技術の適切な選定が最新超LSI 製造に非常に重要となってくる。
-
- 図16 Siウエハ大口径化の進展⁴⁾
Fig. 16 Evolution of Si wafer diameter ⁴⁾
- 参考文献
- 1) A. Masaki: Proceedings of the IEEE, 81, No. 9, 1311 (1993).
 - 2) G. E. Moore: Proc. Kodak Microelec. Seminar, 5 (1975) をその後の進展に合わせ改定.
 - 3) 日野出（日立中研）：資料.
 - 4) 菅原：化学工学、56、No. 9、665 (1992).
 - 5) T. Fujiwara, K. Ogaya, H. Nezu and N. Owada: 1992 VLSI Multilevel Interconnection Conference (VMIC), 201 (1992).
 - 6) 菅原：超LSI 技術入門（化学工学会編）、31、培風館（1989）をその後の進展に合わせて改定.
 - 7) K. Sugawara : Introduction to VLSI Engineering Edited by the Society of Chemical Engineers of Japan, 28 (1993).
 - 8) M. Ogirima: 1993 Symposium on VLSI Technology Digest of Technical Papers, 1 (1993).
 - 9) 菅原：CVD ハンドブック（化学工学会編）、69、71、朝倉書店（1992）をその後の進展に合わせて改定.
 - 10) 矢木、清水：日立評論、71、No. 5、355 (1989).
 - 11) 菅原：'92 最新半導体プロセス技術 -Technology & Equipment-、359、プレスジャーナル（1991）.
 - 12) 日経マイクロデバイス、No. 110、38 (1994. 7).
 - 13) K. Sagara, T. Kure, J. Yugami, N. Hasegawa, H. Shinriki, H. Goto, H. Yamashita and E. Takeda: 1992 Symposium on VLSI Technology Digest of Technical Papers, 10 (1992).
 - 14) 細坂、安斎：日立評論、64、525 (1982).
 - 15) 松尾、森岡、斎藤、石川：日立評論、72、211 (1990).