

# LSIにおけるスピノングラス層間膜の現状

(株)日立製作所 デバイス開発センタ

大和田 伸郎・大橋直史

## Planarization Technology with Spin On Glass Used in LSI

Nobuo Owada・Naofumi Ohashi

Device Development Center, Hitachi Ltd.

### Abstract

Up to today, Spin On Glass(SOG) has been very widely used for planarization of multilevel metallization in LSIs because of its practically acceptable planarity with low process cost, in spite of its incomplete capability for global planarization. In future devices, the requirement for global planarization will become more severer, so this technology should be improved so as to be compatible with this requirement. This paper describes future improvements in SOG planarization technology, based upon a general rule of SOG spin coating characteristics, in which constant projection plane in a chip includes constant volume of SOG regardless of wiring pattern distribution. According to this general rule, planarization ability of SOG process will be improved by, new SOG material with reflow characteristics in its curing step or with etchback free capability, combination with ECR-CVD film, and new spin coating technology in which volatilization of solvent during spin coating is well controlled. With these improvements, SOG planarization technology is expected to be well compatible with 0.3 μm process requirements.

### 1. はじめに

近年の半導体デバイス技術の進歩は著しく、高度情報化社会の到来も目前にせまっている。その中核をなすものが大規模集積回路（LSI）技術であるが、このLSIとはいわゆる電気回路が非常に大きな規模に集積されたものである。このLSI技術によって十年前には実現不可能であった高度で複雑な機能を有する電気回路を、今では指の上にものる程までに小型化する事がたやすくできる様になったのである。さて、電

気回路とは、トランジスタ、抵抗、コンデンサ、といった素子を配線を用いて結線したものである。LSIも、基本的にはトランジスタ、抵抗、コンデンサ、といった素子を純度が非常に高いシリコン元素の結晶板の上に多数形成し、これらをアルミニウムなどの金属薄膜の配線で結線したものであり、電気回路としての構成は古く昔からあるものと何ら変わりない。しかし、LSIでは高々1cm角程度のシリコン結晶板の上に何十万、何百万の素子を集積し、その1つの素子を1μm前後の寸法で形成する必要があり、結果的に配線構造においても1μm前後の幅の

配線を3次元的に配置して素子間を結線する事が要求されている。

1 μm前後の幅の配線を3次元的に形成する技術を総称して多層配線技術と呼ぶ。多層配線の構成要素は図1に示す様に、アルミニウム合金からなる1 μm前後の幅の配線、隣接する配線パターンの電気的絶縁と上下の配線層の電気的絶縁を確保するための配線層間絶縁膜、及び上下の配線層の電気的接続を行なうための接続孔の形成、の3項目である。このうち、配線層間絶縁膜には、配線パターンに起因する段差を平坦にして微細な上層配線のパターン形成を可能にする機能も要求されている。

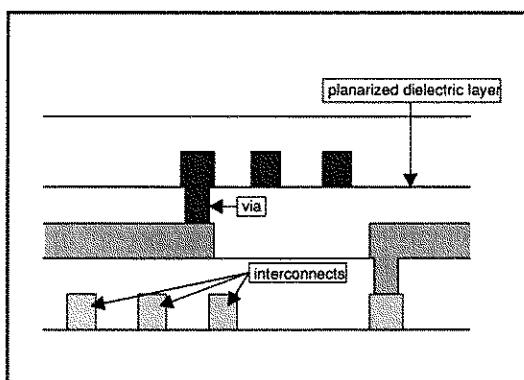


Fig. 1 Cross sectional schematic of multilevel metallization.

配線層間絶縁膜による平坦化の要求は図2に示す様に、高いアスペクト比の埋込みと配線段差の解消に大別できる。前者においては、アスペクト比が1.0を超える微細な配線間スペースを空洞を残さずに埋め込む事が要求され、後者においては配線のパターン幅や配置密度の依存性を生じさせないグローバルな平坦性が要求されている。現在、最も広く用いられている平坦化技術はスピンオングラス(Spin On Glass: 以下SOGと略す)と称する回転塗布膜を用いた平坦化技術であり、これまでにも実用的に許容できるレベルの平坦性を提供してきた。しかし、層間絶縁膜による平坦化に対する要求レベルは

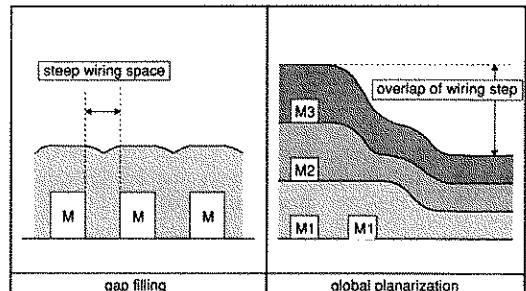


Fig. 2 Requirements for planarization technology.

64MbRAMに代表される世代から急激に高まり、これに伴ってSOGに代わる新たな平坦化技術を含めて新技術開発が重点的に進められる様になってきた。

ここでは、以上の背景に基いて、SOGによる平坦化技術を次世代以降も適用し続けるための技術課題とそれに対する最近の開発状況を中心に、次世代多層配線プロセス対応の配線層間絶縁膜による平坦化技術を展望する。

## 2. SOGを用いた平坦化技術の概要

SOG膜は、シラノール[Si(OH)<sub>4</sub>]をアルコールに溶かしたもの回転塗布した後に400°C近傍でペークして溶剤を揮発し、シラノール自身を脱水重合反応させて形成される。この様にして形成されたSOG膜は無機SOG膜と称し、十余年に渡り適用してきた。しかし、従来より用いられてきたこの無機SOG膜は、脱水重合反応に伴う体積収縮率が大きくSOG膜自体のクラック耐性が乏しいために膜厚を増加させる事が難しく、配線パターンの段差の解消能力としては不十分であった。このため、近年、アルキルアルコキシランや有機シロキサン樹脂をベースとした有機SOG膜が多用される様になった。有機SOG膜は、無機SOG膜に比べてクラック耐性が格段に優れており、塗布膜厚の増加により配線パターンの平坦化を従来以上

に促進する事が可能である。

有機SOG膜を用いた層間絶縁膜の平坦化技術の概要を図3を用いて説明する。まず、配線パターンを形成後、プラズマCVD法でSiO<sub>2</sub>膜を成膜する。この成膜技術に対する要求特性は、プラズマが素子特性に影響を与えない事、微細配線スペース段差部での被着形状が良好な事、誘電率が低い事、耐クラック性が高い事、などが挙げられるが一般的にはTEOSやモノシランを原料ガスとしたプラズマCVD膜が用いられる。次に、有機SOGを塗布し、400°Cから450°Cの温度でベークして溶剤の揮発と重合反応を完了させる。有機SOGの塗布・ベークの後、配線パターン上に成膜したSOG膜をドライエッティング処理で除去する。このドライエッティング処理によって、上下の配線層間の電気的接続を行なうために形成する接続孔の側壁から有機SOG膜が露出するのを防止している。接続孔側壁から有機SOG膜が露出した場合には、接続孔開口後に施される酸素プラズマを用いた後処理により、有機SOG膜が無機化して大きな体積収縮を誘起するため、クラックの発生や無機化して多孔質となったSOG膜中への吸湿水分量の増加に起因した信頼度不良を誘発す

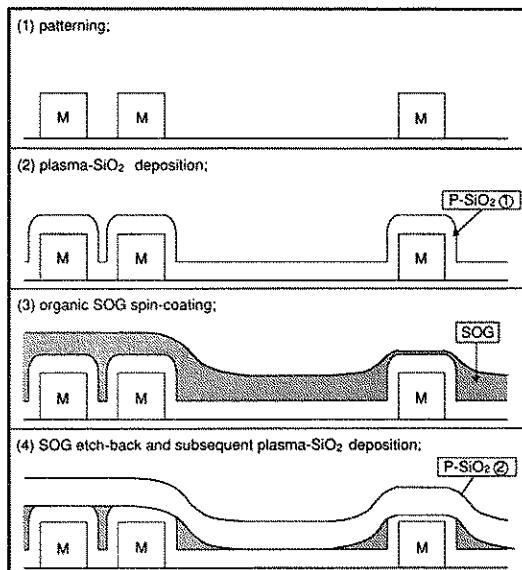


Fig. 3 Process flow of SOG etch-back.

る事になる。このため、有機SOG膜の適用においては、このドライエッティング処理によって接続孔開口部からこの有機SOG膜を除去する事が不可欠となっており、工程簡略化の大きな阻害要因になっている。このドライエッティング処理においては、設定条件の調整により有機SOG膜とその下地のプラズマCVD膜のエッティングレートをほぼ等しく設定する事が可能であり、これによって良好な平坦性を得る事ができる。ドライエッティング処理の後に再び、プラズマCVD膜を成膜し、層間絶縁膜による平坦化技術が完了する。この様にして形成した層間絶縁膜の一例を図4に示すが、配線パターンに起因した段差が見事に平坦化されている事が示されている(I)。



Fig. 4 Planarization of metal 1 step enhanced by MOS device steps.

### 3. SOG平坦化技術の問題点と今後の課題

以上に述べた有機SOG膜とドライエッティング処理を組み合わせた層間絶縁膜平坦化技術は16MbitRAMに代表される0.5μmプロセスの世代までは実用的に許容できるレベルの平坦性を提供してきた。しかし、64MbitRAM等の0.3μmプロセス以降を睨んだ場合、隣接する配線のスペース部分の微細化に伴ってこの平坦化技術は2つの大きな技術課題が新たに顕在化していく事になる。これを図5を用いて説明する。図5は一定ピッチの配線が孤立して配置された箇所と密に配置された箇所を例に取って示してある。この様に配置された配線パターンの上にプラズマCVD法でSiO<sub>2</sub>膜を成膜すると、配線パター

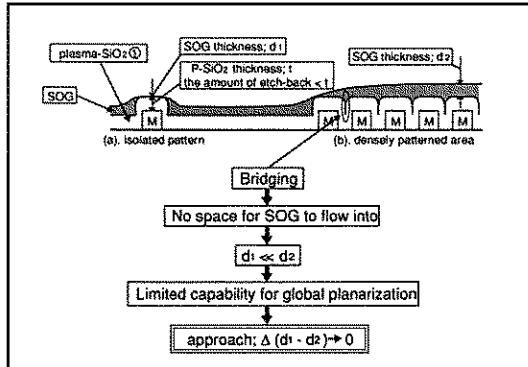


Fig. 5 The limitation of conventional SOG planarization technology.

ンが密に配置された領域において微細な配線スペースがこのSiO<sub>2</sub>で埋め込まれる事になる。その結果、この領域が実質的に幅の広い一つの配線が配置されているのと同様な表面形状となり、SOGの塗布後には孤立して配置された配線上のSOG膜厚と高密度に配置された配線上のSOG膜厚が大幅に異なった塗布形状となる。その結果、配線パターン密部の配線上のSOG膜をドライエッチングで除去しきるためには孤立配線上のプラズマSiO<sub>2</sub>膜を大幅にエッティングする必要がある。この様なプロセスにおいては、ドライエッチング後における孤立配線パターンの表面露出、配線パターン密度に依存した配線層間接続孔深さの実質的な変動、隣接配線間スペースを埋め込むプラズマCVD膜に発生する空洞、等がプロセス条件の最適化とその余裕度を決定する上での境界条件となる。しかし、従来のSOG平坦化技術においては、0.3 μm以下の多層配線プロセス技術の要求レベルに対してこれらを全て満足した状態で、実用的に許容できるレベルの平坦性を確保する様にプロセス条件を設定する事が殆ど不可能な状態になってしまっており、新たな技術の開発と実用化が不可欠なものとなっている。

SOGを用いた平坦化技術の開発課題とその具体策を述べる前に、SOGを用いた平坦化技術の基本特性について図6を用いて説明する。

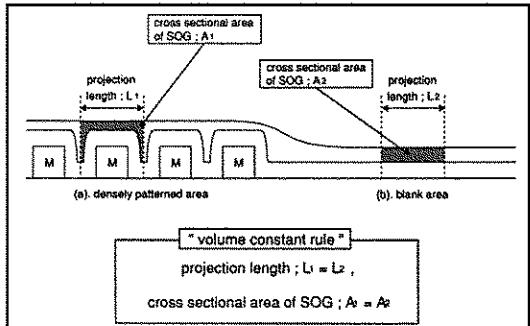


Fig. 6 Concept of "volume constant rule".

図6は、一定ピッチで配線パターンが配置された領域と全く配線パターンが配置されていない領域に対して、SOGを塗布した場合の堆積量を説明するための模式図である。ここで、この断面図において単位長さ当たりに堆積するSOGの量が配線ピッチを反映した下地プラズマCVD膜表面の凹凸形状によらず一定となる事が実験的にも理論的に示されている(2)。すなわち、図6においてL<sub>1</sub> = L<sub>2</sub>ならばA<sub>1</sub> = A<sub>2</sub>という関係が一般的に成立する事になる。この関係は、配線ピッチが変化しても成立し、配線パターンが密に配置された領域において配線パターン上に堆積するSOGの膜厚をこの一般則に従って算出する事ができる。また、この一般則からは、配線パターンが密に配置された領域において配線スペース部にSOGの流入領域を大きく確保できれば配線パターン上のSOG堆積膜厚を低減でき、結果的にドライエッチングでのエッチバック量の低減と配線パターンの疎密に起因した標高差の発生を低減する事が可能となる事が示唆されている。

#### 4. SOG平坦化技術の開発動向

以上に述べたSOG塗布特性の一般則をもとに、次世代対応のSOG平坦化技術の主要開発課題をまとめると、①SOG材料自体の開発、②SOGの塗布技術の開発、③SOGの下地となるプラズマCVD成膜技術の改良、の3項目に大きく分けられる。

まず、塗布材料に関しては、厚膜塗布が可能で耐クラック性に優れている事が必須条件であり、これまで有機系のSOG材料が主に用いられてきた。今後ともこの有機系のSOGを適用していく上での主要開発課題は、高い段差を有する配線パターンへの塗布特性の向上と配線パターン上への塗布膜厚の低減、の2項目である。このうち、後者においては膜厚の低減がエチバック量の低減に直接結び付き、更にはSOGの下地となるプラズマSiO<sub>2</sub>膜の膜厚の低減によって配線スペース間のSOG流入領域も拡大できるので、結果的に平坦化プロセスの余裕度を拡大する事ができる。この様な効果を有する有機SOG材料の最近のトピックスとしては、回転塗布後のベーク過程においてリフロー特性を示すSOG材料が開発された事が挙げられる。図7にこのSOG材料の平坦化形状の断面SEM写真を示すが、回転塗布直後の表面平坦化形状に比較してベーク後の平坦性に大幅な改善が見られ、配線スペース間の凹みの解消と配線パターン上のSOG膜厚の低減が同時に達成されている事が示されている。図8にこの様なSOGを用いることによる平坦性の改善効果の考え方をまとめてある。一方、エチバック処理を必要としないSOG材料の開発も重要な開発課題となっている。厚膜塗布においても耐クラック性を確保でき、なおかつエチバック処理の不要なSOG材料の開発が可能となれば、SOGを用いた平坦化技術のプロセス設計は大幅に容易なものとなる。特に、エチバック処理によって制約されていたSOGの下地となるプラズマCVD膜の薄膜化が可能となるため、図5に示した様な配線パターン密度に起因した平坦化の限界は大幅に解消される事になる。厚膜塗布が可能でドライエッティングによるエチバック処理を必要としないSOG材料に関しても、近年その開発成果が学会等で報告される様になってきた。その一例として、Perhydrosilazaneを原料にしたSOGを用いた層間絶縁膜による平坦化技術が報告されている(3)。このSOG材

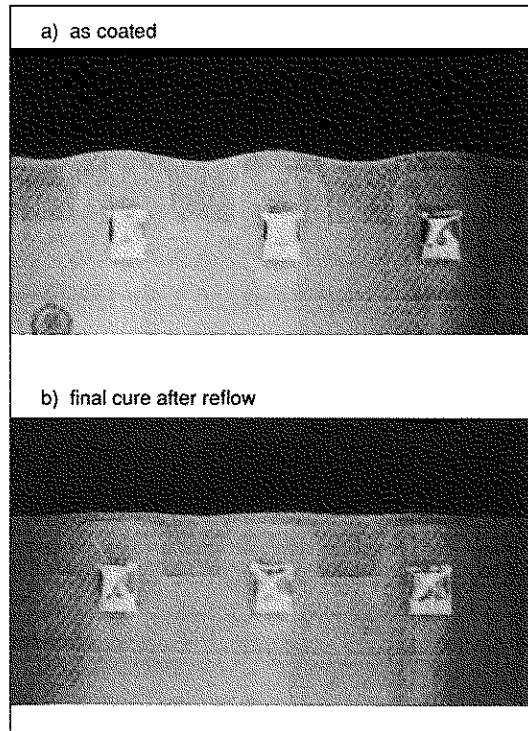


Fig. 7 Reflow characteristic of  
HSG-2209S-R7.  
(Developed by Hitachi Chemical Co Ltd.)

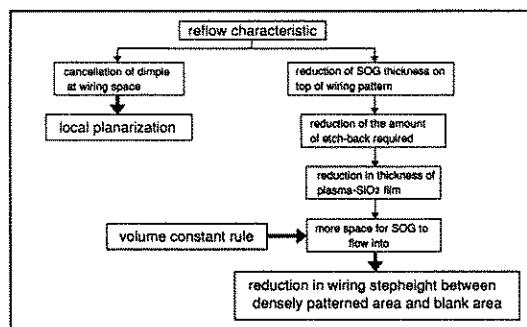


Fig. 8 How reflow characteristics works well for the total planarization.

料においても回転塗布後のベーク時にリフロー特性を示す事が報告されており、0.3 μm以降の多層配線プロセスにおいても良好な平坦性を提供する技術として有力候補の一つとして期待されている。

SOGの塗布技術の開発に関しては、回転塗布中の雰囲気制御技術の開発が進められている。

まず回転塗布に関しては、従来技術では回転塗布中に溶媒の揮発が同時に生じるため、回転塗布の初期にSOGの流動性が大幅に失われ、配線パターンが高密度に配置されて高標高となつた領域から配線パターンの分布が疎で低標高となつた領域へのSOGの流入が大幅に制限され、平坦化能力が大幅に制約される事になる。図6に示した一般則はこの様なSOGの回転塗布特性に基づくものであり、配線パターン配置の疎密に対するSOGの平坦化能力を向上させるためには、この一般則を打破する回転塗布技術が必要である。この具体策としては、回転塗布中の雰囲気を調整してSOGの流動性を維持する様な技術の開発が必要である。この様なSOG塗布技術の一例として、カップ回転SOG塗布技術が近年開発されてきた。カップ回転塗布技術においては、シリコンウエハと同時にその直上に置かれたカップも回転させて回転塗布中のウエハを溶媒雰囲気中に維持する事ができる。従って、回転塗布中の溶媒揮発を抑制した塗布が可能であり、SOGの自己流動性を充分に引き出す事ができる。その結果、配線パターン配置の疎密依存性を大幅低減し、幅広配線に対する平坦化能力を向上させる事が期待できる。図9はこの様な回転塗布の適用事例であるが、配線パターンが密に配置された領域から疎に配置された領域へのSOGの流動が顕著に生じており、配線パターンの疎密による配線段差の標高差の低減が達成され、良好な平坦性が得られている事が示されている(4)。

SOGの下地となるプラズマCVD成膜技術に関しては、図6に示した一般則を基に技術開発の方向付けを行う事ができる。この一般則によれば、隣接する配線間のスペース部分にSO



Fig. 9 Planarity obtained by new spin coating technology.

Gの流入領域を広く確保する事によって配線パターン上のSOG膜厚を低減する事ができ、配線パターン配置の疎密に起因した標高差の発生を低減する事ができる。この様なプラズマCVD膜の段差部被着形状としては、オーバーハングの発生を防止する事はもちろん、図10に示す様に配線パターン側壁部の被着性をむしろ意図的に低下させて、SOGの流入領域を拡大する事の方が望ましい。特に、プラズマCVDによるSiO<sub>2</sub>膜の堆積とArイオンによるスパッタエッチングとを同時に進行させるSiO<sub>2</sub>成膜技術により得られる断面形状は、図11に示す様に、隣接する配線パターンのスペース部分にSOGの流入領域を大幅に拡大する事ができるので、配線パターン配置の疎密に起因した標高差を大幅に改善する事が期待できる。図12はこのCVD膜を下地として、有機SOGの塗布とドライエッチング処理により平坦化を行った実例を示したものであるが、配線パターン配置の疎密に起因した標高差がほぼ完全に解消され良好な平坦性が得られている事が示されている。

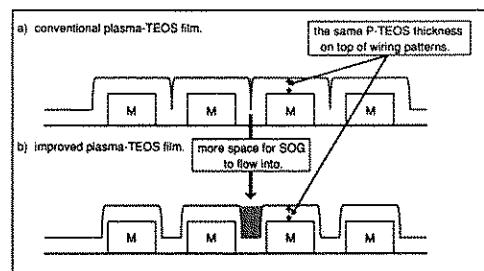


Fig. 10 Plasma-TEOS film suitable for SOG planarization technology.

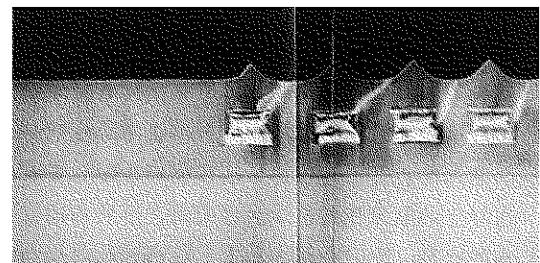


Fig. 11 Surface morphology obtained by ECR-CVD.

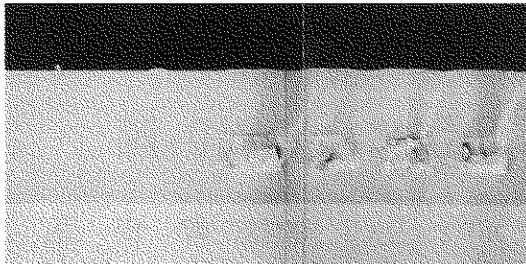


Fig.12 Global planarization obtained by ECR-CVD and SOG etch-back process.

## 5. おわりに

SOGを用いた平坦化技術は、これまでにも実用的に許容できるレベルの平坦性を提供してきた。さらに、その今後を展望すると、SOGの材料自体の開発に加えて、回転塗布技術の開発やSOGの下地となるプラズマCVD法によるSiO<sub>2</sub>膜の成膜技術の開発、などの関連技術の開発も着実に進められており、次世代以降もLSIの多層配線プロセスの平坦化技術として適用し続けられる可能性は高い。

LSIの多層配線構造における平坦化への要求レベルは、LSIの種類によって大幅に異なる。配線パターンの膜厚、配線パターンの最小加工寸法の要求値、必要とされる配線層数、などが多層配線の構造を決める因子であり、これらの値によって要求される平坦化レベルが大幅に異なる事になる。従って、ある製品ではSOGの下地となるプラズマCVD膜の成膜後に配線パターンのスペース部分に空洞が形成される事によって従来技術の適用限界が規定され、また、他の製品では配線パターンの疎密に起因した配線パターン段差のオーバラップによって生

じた絶対標高差の解消不足によって適用限界が生じる事になる。従って、次世代のSOGを用いた平坦化技術に要求されるブレークスルーテchniqueは適用製品毎に異なったものとなる。ここで重要な事は、本文中に述べたSOG関連の各種技術開発のいずれかの組み合わせによって各製品毎に生じる適用限界に対応する事が可能となってきた点である。どの様な開発技術の組み合わせを選定するかは各適用製品毎のニーズと現有技術のレベルによって選定されるべき事柄であるが、これまで蓄積されてきたSOG関連技術の財産と今後の継続的な技術開発によって、そのブレークスルーテchniqueは今後とも確実に提供され続けるものと期待している。

## 6. 参考文献

- (1) T. Fujiwara et al.: "Planarization technology combining new organic SOG and etch-back process in multichamber system", Proceedings of 1992 V-MIC 201 (1992)
- (2) N. Ohashi et al.: "Improved SOG process compatible with 6 level metallization" Proceedings of 1994 V-MIC 137(1994)
- (3) T. Nagashima et al.: "SOG non-etch-back process using perhydrosilazane for half micron devices" Proceedings of 1993 V-MIC, 217(1993)
- (4) 渕 光朗; "SOG塗布法の課題と今後の可能性" リアライズ社主催 BREAK THROUGH SEMINAR No. 15 Proceedings、1994年8月