UV ナノインプリント用モールドの作製技術

HOYA 株式会社 R&D センター

流川 治

UV nano-imprint mold fabrication Technology

Osamu Nagarekawa

R&D Center HOYA Corporation

1. はじめに

極微細なパターンの転写忠実性が高く,費用 対効果の良いリソグラフィー法として最近脚光 を浴びているナノインプリント技術において, そのモールドの開発が最重要課題とされてい る。基本的な UV ナノインプリント用モールド 作製方法は,現在半導体用位相シフトマスク製 造に用いる技術と共通である。ナノインプリン ト法では,等倍モールドを使用する為,フォト マスクに比べて微細なパターンを形成する必要 があり,この対策がナノインプリント技術の実 用化の重要な鍵となっている。最先端のフォト マスク製造技術を紹介しながら,UV ナノイン プリント用石英モールドの試作例を紹介する。

2. ナノインプリントとは¹⁾

ナノインプリントという言葉が初めて登場し たのは、1995年にStephen Y.Chou 教授(現 プリンストン大学)らの発表によるものである が²⁾、この技術そのものは、30年以上前に NTTより特許が出されている^{3),4)}。2003年に は、マサチューセッツ工科大学の「21世紀の 10 大技術」に選ばれたり、ITRS(国際半導体 技術ロードマップ)の 32 nm ノード以降のリ ソグラフィー技術候補に登場したりして,近年 その関心が急速に高まってきている。

図1に熱ナノインプリント法と光ナノインプ リント法の簡単なプロセスフローを示す。型押 しを基本とする射出成形やホットエンボス手法 を延長させて,解像性をナノレベルまで高めた ものであるが,パターン転写部分と基板との材 質が異なるのが一般的である。また,転写され たパターンを用いて基板を加工する一連のプロ セス技術もこのナノンプリント技術に含まれ る。

図2には代表的なナノインプリント用モール ドの試作例を示す。また、図3はグラシーカー ボン(GC)製モールドを用いた石英ガラスへ の熱ナノインプリント転写例を示す。図4に は、このナノインプリント技術の適用が可能と みられる応用分野とそのパターン形状を示す。

3. フォトマスクの製造工程

UV ナノインプリント用モールドの製造は, 現在の最先端フォトマスクである石英掘り込み タイプの位相シフトマスク製作工程がそのまま 使える。フォトマスクとは,写真のネガフィル ムのようなものであり,回路パターンを光転写 する時の原版である。フォトマスクの製造工程

^{〒196-8510} 昭島市武蔵野 3-3-1 TEL 042-546-2768 FAX 042-546-2742 Email:nagarekawa@sngw.rdc.hoya.co.jp



 Воловиссий/сокрано
 Воловис
 Зала

 Половиссий/сокрано
 Половиссий/сокрано
 Половиссий/сокрано

 Половиссий/сокрано
 Половиссий/сокрано
 Половиссий/сокрано

図3 石英ガラスへの微細転写

を図5に、石英基板をλ/2だけ掘り込んだ 位相シフトマスクの製作フローを図6に示 す⁵⁾。

等倍の微細なパターンを作るには電子線描画 が一般的に用いられ先ずは、この描画の為の データと描画機を連動させる為のデータ準備が 必要となる。描画後、現像、エッチング、検査 修正という主な工程をへてマスクとなる。次に 検査修正工程以外の概略を順を追って説明す る。

4. 電子線描画

電子線は物質波として波長が非常に短く,回 折収差が無視できるほど小さい。そのため電子 線描画装置は本質的に最も高い解像度を有して いる。始めに登場してきたガウシアン(ポイン ト)ビームはスポット露光であるため,一度に



図2 ナノインプリント用モールド



図4 応用分野とパターン形状

露光できる面積が非常に小さく、その分、解像 性に優れるが生産性が非常に低い。この課題に 対して2枚のアパーチャーによりビーム形状を ショット毎に変更し、大面積を一度に露光でき る可変成形ビーム法が開発され、主としてフォ トマスクの製造に使われている。現状では、あ る程度の生産性も考慮しての限界解像度は100 nm 程度であり、一方生産性を犠牲にしてのポ イントビームでの解像性は20 nm 程度であ る。

5. レジスト工程

現在先端マスクの製造には、100% 化学増幅 レジスト (Chemically Amplified Resist: CAR)が使用されている。可変成形法では幾 何収差によるビームボケの他に生産性向上のた めに高電流密度化しているため、クーロン効果



図5 フォトマスク製造工程

などによるビームボケが加わる。この為 50 nm 以下の超微細なパターンを必要とするナノイン プリント用モールドの作製においては、高解像 性を有するポイントビーム描画機を使ってい る。実績のある高分子型レジストである ZEP-520 Aは100 kV電子ビーム描画における感度 は 300~500 µC/cm²と,かなり低いものにな ってしまう。また LER (Line Edge Roughness)も同時に問題となる特性であり、現在の CARでは5~7 nm 程度である。LERの要因 は、ビームボケ(電子ビームの形状、レジスト 内での散乱、現像等を合わせた擬似ビームプロ ファイルのボケ),電子ビームの局所的な揺ら ぎ、及びレジストそのものの分子量との関係な どが報告されている^{6,7)}。実績レベルでは高分子 型レジスト (ZEP-520 A) が優位であり、3 nm 程度の LER で納まっている。ナノインプリン ト用モールドにはレジストの高解像性と低 LER の両立が必須条件となる。近年報告され ている HSQ やカリックスアレン系レジストに おいては、50 nm を大幅に上回る高解像度が達 成されており、その実用化が期待されてい る⁸⁻¹⁰⁾。しかし、これらに必要な感度は 1 mC/ cm²程度と非常に低くZEP-520Aの3倍、代 表的なフォトマスク製造用の CAR の数十倍の 照射量が必要となる。マスク描画機の電流値が 数uAであるのに対し50nm以下を解像する ポイントビーム描画機の電流値は、数nA 程度 であるため,低感度レジストを用いた超微細パ



図6 石英基板掘り込み型位相シフトマスク製作フロー

ターンを数十ミリ角で描画しようとすると約1 日間の連続描画が必要となってしまい実用的で ないことがわかる。

6. ドライエッチング工程

レジスト像をマスク体に食刻により転写する 手法をエッチングと総称され、その方法により Wet(湿式)とDry(乾式)法に分けられる。 近年の微細化に伴い、ドライ化が急速に進んで いる。特に異方性の高いパターン形成プロセス ではドライエッチングが不可欠の技術となって いる。図7にフォトマスク用ドライエッチング 装置の概念図を示す。図8には石英ガラス基板 掘り込み後の深さバラツキを示す。Range で 1.5%(26 nm)に入っており問題のない値が 得られている。

7. 液晶ディスプレイ部材用石英モールド

この項では、UV ナノインプリント用石英 モールドの試作例を示す。Molecular Imprints 社(以下 MII)のフォーマットをもとにしての モールド作製フローを図9に示す。また、MII 社では S-FILと呼ばれる方法での半導体用途 には最適な UV ナノインプリント装置を販売し ている。その概略を図10に示す。また実際に 石英ガラス掘り込みまで終了した 6025 プレー トの写真を図11に示す。

次の例は、25 mm 角に 10 µm ピッチで 100 nm の幅で深さ 200 nm の溝を作ったものであ



図7 フォトマスク用ドライエッチング装置の概念図



図9 光ナノインプリント用石英マスク作製フロー

る。パターン配置を図12に示す。また,MII で実際にインプリントしてもらった結果を図 13に示す。また,この時の掘り込みパターン の寸法精度を図14に示す。100 nm レベルのパ ターンとしては、いずれも十分満足の行く結果 であった。現状のマスク製作工程で更なる微細 化を目指す手段の1つとして、ブランクスの遮 光膜及びレジストを薄膜化する方法がある。大 幅に薄膜化したブランクス(Cr10 nm,レジ スト100 nm)を使い、Wire Grid 偏光板開発用 としての50 nmのL&S(1:1)を25 nm 全 面に作製した例を図15に示す。更に、大面積 用として50 mm 角に挑戦した結果を図16に示 す。この時の鳥瞰図を図17 に、断面図を18 に 示す。

8. 半導体用石英モールド



132mm日 13×13point現定 平均原注:171.5mm Bange: 2.6mm Bange/Ave:1.5%

図8 石英ガラス基板掘り込み後の深さバラツキ



図 10 S-FIL プロセスフロー

UV ナノインプリント技術の半導体分野への 応用は、2001 年頃から Texas 大学を中心とし て設立された MII が精力的にその開発を進め ている。また、2003 年より ITRS (International Technology Roadmap for Semiconductor) に 32 nm ノード以細のリソグラフィー候補として 登場している。

以下に半導体用途としてのモールドの試作結 果¹¹⁾を示す。図 19 にはモールド作製時の諸条 件を,図 20,21,22 には 40 nmhp (half pitch, パターン部とスペース部が1:1)の Line& Space, Contact Hole,メタル配線パターンを 示す。左側が HOYA 作製のモールド,右側が MII で UV ナノインプリント後の SEM 写真で ある。

次に,2013年頃からの実用化を目指している1Tb/cm²クラスの記録密度を持つ,磁気デ

NEW GLASS Vol.23 No.1 2008



図11 6 インチ切断前プレート



図 12 光ナノインプリント用モールド (パターン配置)



図 13 光ナノインプリント用モールド (インプリント後)



図 15 25 mm 角 50 nm L&S(1:1)断面写真 (ZEP-520 A)

ィスク (Patterned Media)の代替を目標とし て IBM が 開発を進めている Storage-Class Memoryの試作例を示す。これは、高密度の 次世代不揮性メモリーで現在のフラッシュメモ リーをも凌ぐものである。この相変化メモリー



図14 光ナノインプリント用モールド掘り込み寸法



図 16 50 mm 角 50 nm L&S SEM 写真

開発の原理検証用として試作されたのが,30 nm レベルの Fin FET nanowire 作製用テンプ レートである¹²。

この具体的な内容は,2007年のEIPBN¹³⁾で M.W. Hart 博士から報告されている。図 23 に

NEW GLASS Vol.23 No.1 2008



🗵 21 40 nm hp Contact Hole Array

は、実際に作製したモールドの全体像を図24 には、その断面図、図 25 には、その拡大写真 とMIIでUVナノインプリントされた転写 像,図 26 には UV ナノインプリント法を用い て作製されたテストデバイスの断面写真を示 す。

おわりに

UV ナノインプリント用モールドに現在求め られている課題の1つは更なる微細化と大型化 である。単なる微細化という意味では、数 nm の転写例もあるが半導体用途としては 32 nm ノード(32 nmhp)のパターン試作は、ほぼ終

🗵 22 40 nm hp Metal 1

NEW GLASS Vol.23 No.1 2008



図23 ナノワイヤ 幅30 nm ピッチ120 nm



ナノインブリント用テンプルート(型) (HDYA作業)

ナノインプリント (転写)像 (Noiscular Imprints Inc.作業) 提明

図25 拡大写真と転写像

了しており,22 nmhp もかなりの確率で達成 が可能と思われる。ただ,実用化という観点で は無欠陥保証が必要であり,今回は触れなかっ たが検査,修正という必須事項の開発がまだま だの状況である。

一方 100 nm ピッチ以下での大面積化という 点では、前述の 25 mm 角、50 nm L&S でも 1 日程度の電子線描画が必要である。 50 mm 角となると4日程度となってしまい安定性も含 めて、かなりの負担となっているが、ディスプ レイ用途では小さすぎてまだ使用に耐えない。 高感度で LER (Line Edge Roughness)の良い レジストの開発が待たれるわけであるが、この 2つの課題を同時に解決するのはたやすくはな いのが現状である。今回の説明には入れてなか ったが、最近では磁気ディスク関連でのモール



図 24 ナノワイヤ部断面 深さ 80 nm 側壁角度



上記テンプレート及びナノインプリントパターンを使って 作製された大容量メモリ(アドレス回路部) (IBM作製、提供)



ドの引合いも急増している。以上のように用途 が明確になったモールドの引合いが増えてきて おり,実用化に向かっての動きは着実に進んで いるものと思われる。

参考文献

- 谷口 淳 はじめてのナノインプリント技術 工 業調査会 2005
- 2) S. Y. Chou et al., Jpn. J. Appl. Phys. Lett. 67, 3114 (1995)
- 3) 近藤他 特許 第990140号「微細加工法」(特願 昭49-109694)
- 4)藤森他 特許 第947244号「マスク作成方法」(特 願昭 50-102471)
- 5) 大久保 靖 ULSI リソグラフィ技術の革新 サイ エンスフォーラム (1994) 121
- 6) T. Yamaguchi et al., SPIE 3333, 830 (1998)
- 7) T. Yamaguchi et al., SPIE 5339, 1212 (2003)

- 8) K. Yamazaki et al., SPIE 3997, 458 (2000)
- 9) M. Ishida et al., Jpn. J. Appl. Phys., 42, 3913 (2003)
- 10) H. Namatsu et al., J. Vac. Sci. Technol., B 16, 69 (1998)
- O. Nagarekawa, Template Fabrication with Gaussian Beam Tool, International SEMATECH Litho Forum (2006)
- H. Kobayashi et al., 30 nm Template Fabrication for Step & Flash Lithography, Proc. of SPIE 6517-47 (2007)
- M. W. Hart, Step-and-Flash Imprint Lithography for Storage-Class Memory, Abstract of EIPBN 5 C -1 (2007)

